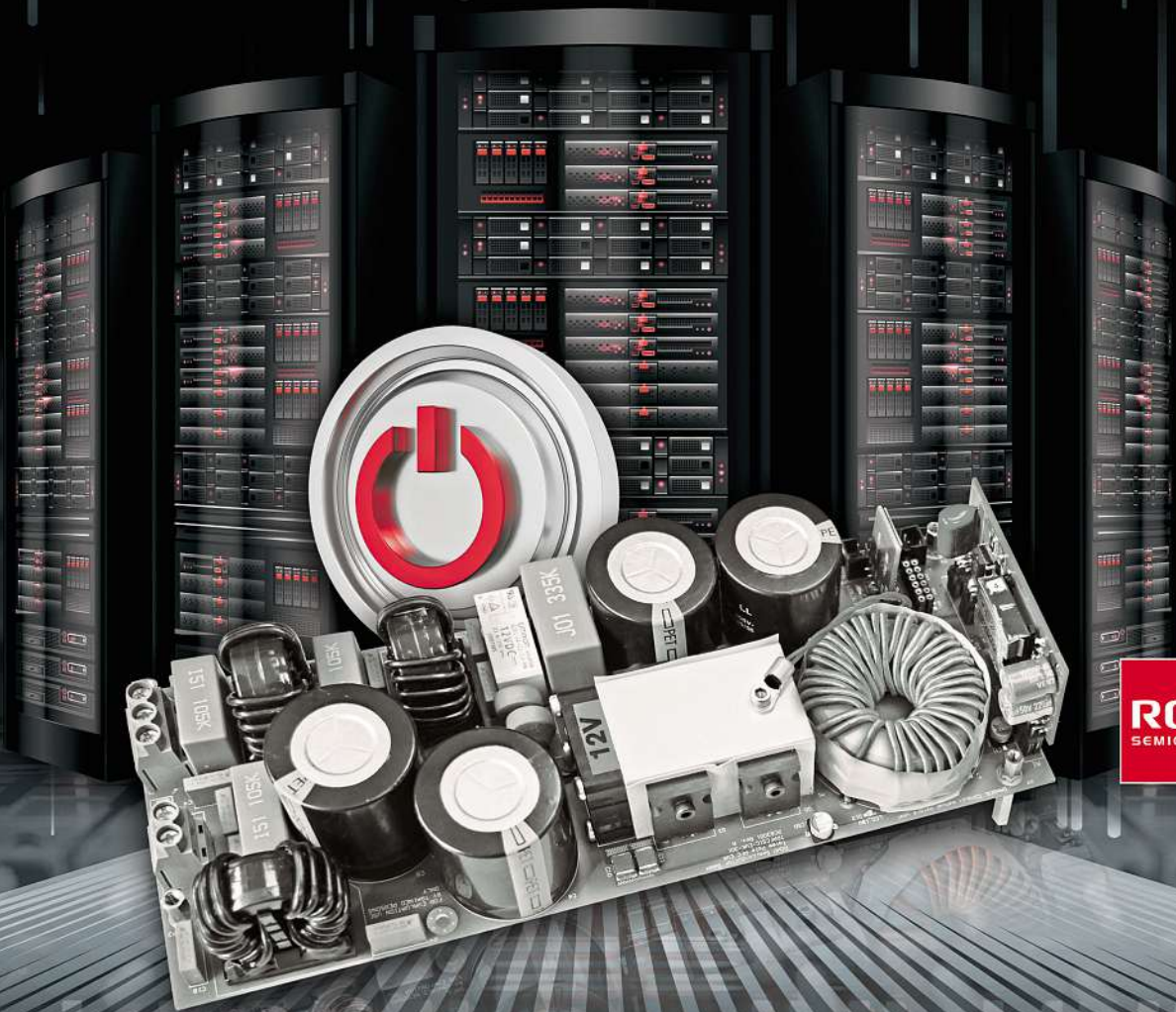


# ELEKTRONIK PRAXIS

Wissen.  
Impulse.  
Kontakte.

16

B19126  
20. Oktober 2022  
€ 19,90



## Bis zu 98,5% Wirkungsgrad durch 4. MOSFET-Generation

Das Evaluierungskit der neuen SiC-MOSFETs zeigt eine ungewöhnlich hohe Leistung in den wichtigsten Design-Strategien zur Energiekonvertierung.

**Seite 22**

### Ergebnisse zum digitalen Zwilling

Wie setzen wir Industrie 4.0 schnell und effizient um? Gefragt ist dabei heute Zusammenarbeit. **Seite 28**

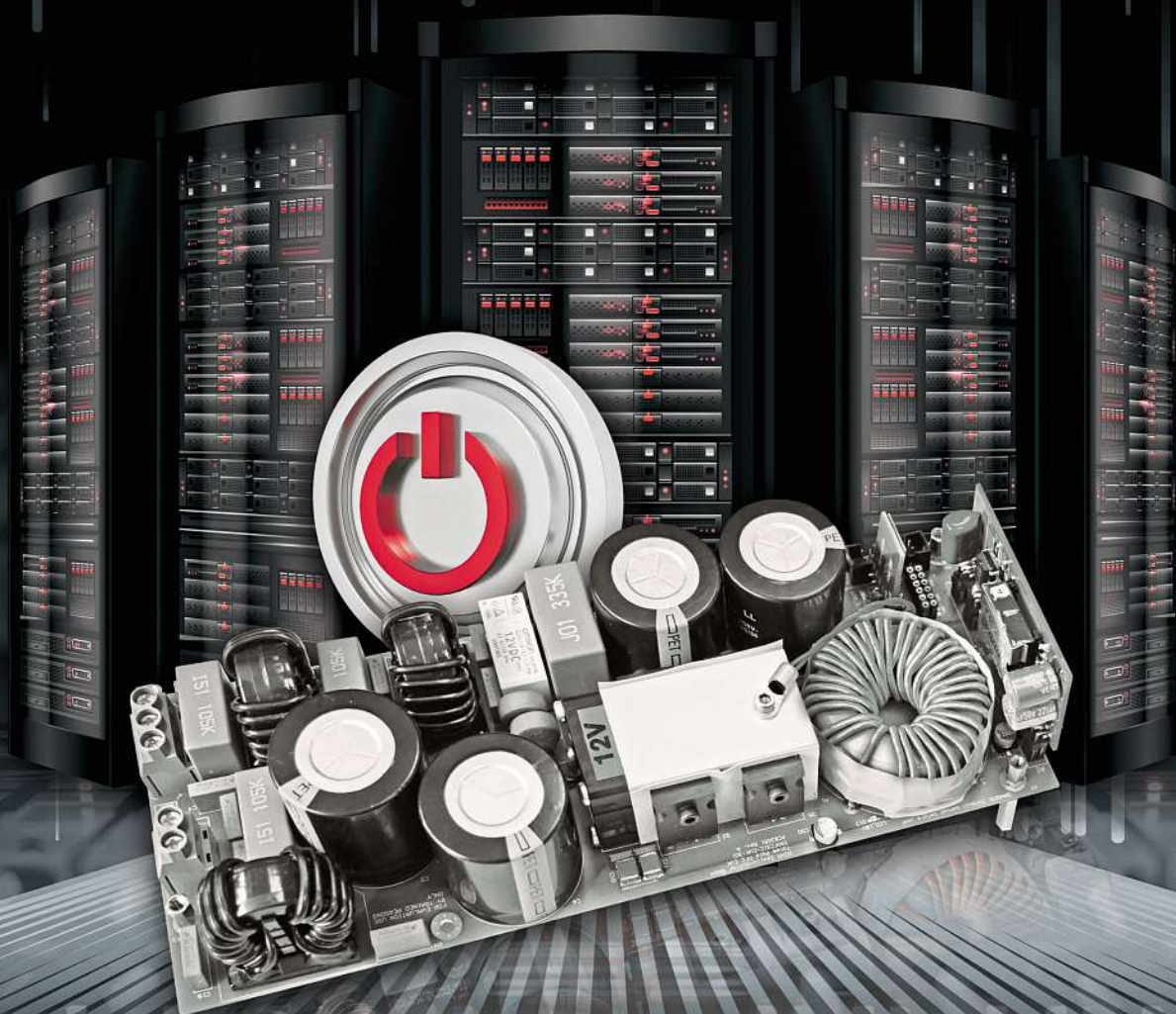
### Lieferketten unter Spannung

Weiterentwicklungen bewirken Änderungen, im schlimmsten Fall sogar Abkündigungen. **Seite 56**

### Steuerungen für Bahnsysteme

Welche Anforderungen müssen moderne Bahn-Steuerungssysteme erfüllen? **Seite 66**





## TITELSTORY

Das Totem-Pole-PFC-Evaluierungskit für die neue MOSFET-Generation zeigt ungewöhnlich gute Ergebnisse der MOSFETs in den wichtigsten Design-Strategien, einschließlich ihrer Regelungsfunktionen und ihres hohen Wirkungsgrades bis 98,5 %. Hierbei wird die gesamte Leistungsaufnahme der Hilfsnetzteile und des Kühlgebläses berücksichtigt. Sowohl der niedrige Durchlasswiderstand als auch die geringen Schaltverluste der SiC-MOSFETs der vierten Generation trugen zum Erreichen dieser Leistung bei. Die Ergebnisse zeigen, wie gut sich diese neuen Leistungshalbleiter für viele Anwendungen der Energiekonvertierung eignen; etwa in Stromversorgungen für Server und Rechenzentren, für die Telekommunikation, für industrielle Stromversorgungen (SMPS, Schaltnetzteile), für Energiespeichersysteme sowie für z.B. On Board Charger in Elektrofahrzeugen. Überall dort also, wo hohe Leistungsdichte, Effizienz, einfache Gate-Schaltung und Kurzschlussfestigkeit gefordert sind.



## SIC-MOSFET

# Bis zu 98,5 % Wirkungsgrad durch vierte MOSFET-Generation

Der Artikel stellt ein Evaluierungskit für die vierte SiC-MOSFET-Generation vor und beschreibt deren besondere Merkmale in einer modernen Totem-Pole-PFC-Schaltung für Schaltnetzteile.

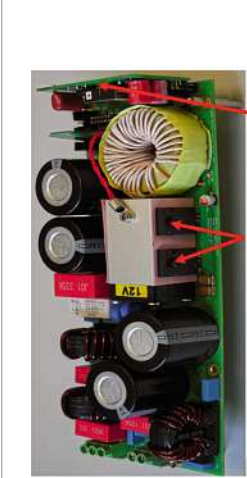
Neben den wichtigsten Leistungskennzahlen, einschließlich Wirkungsgrad, erläutert der Beitrag einige Design-Herausforderungen der vorliegenden Topologie und wie diesen begegnet wurde, um eine Leistungsfaktor-Korrektur (PFC, Power Factor Correction) mit universellem Eingang zu erhalten. Durch die Verfügbarkeit von Wide-Bandgap-Halbleitern mit hochleistungsstarken Body-Dioden wird die Totem-Pole-PFC-Topologie (TP-PFC) immer bedeutender. Ihr Hauptvorteil gegenüber der herkömmlichen Boost-PFC lässt sich folgendermaßen beschreiben: Sie eliminiert die Niederfrequenz-Gleichrichtung und den mit dem Durchlassverlust eines 50-Hz-Gleichrichters verbundenen Leistungsverlust. Auf diese Weise können Wirkungsgrade von über 98 % erreicht werden. Bei Verwendung einer geeigneten Sekundärstufe mit ähnlichem Wirkungsgrad, lässt sich sogar der angestrebte Wirkungsgrad von 80+Titanium erreichen.

Bild 1 zeigt das Evaluierungskit (EVK). Es implementiert die TP-PFC mit einem Nenneingangsstrom von 16 A sowie die in der Tabelle gezeigten Design-Spezifikationen. Die wichtigsten Bauteile sind im Bild hervorgehoben. Zusätzlich zu den SiC-MOSFETs der vierten Generation enthält das Design auch Silizium-SJ-MOSFETs sowie die Gate-Treiber BM61S41/BM61M41 und andere Komponenten von ROHM, wie den Shunt-Widerstand und Flyback-Schaltregler-IC in der Hilfsstromversorgung.

## Hoher Wirkungsgrad erfüllt die Effizienzanforderungen

Die Leistung des Evaluierungskits wird in den nachfolgenden Diagrammen (Bild 3) veranschaulicht. Sie zeigen den gemessenen Wirkungsgrad und den erreichten Leistungsfaktor – sowohl bei einer Wechselspannung von 230 V als auch bei 115 V. Zum Wirkungsgrad ist anzumerken, dass dieser die gesamte Leistungsaufnahme der Hilfsstromversorgungen für die Gate-Treiber, die Mess- und Regelungselektronik und den Kühllüfter umfasst. Es ist zu erkennen, dass der erforderliche Leistungsfaktor  $>0,95$  bei 20 % Last ist. Wird die PFC-Schaltung mit einer DC/DC-Stufe mit entsprechend hohem Wirkungsgrad kombiniert, kann das Design auch die Effizienzanforderungen von 80+Titanium erfüllen.

Die folgenden Abschnitte erörtern, wie dieses Design entwickelt und bestimmte schwierige Hürden dieser Topologie bewältigt wurden. Zu diesen Herausforderungen



Parameter	Spezifikation
Eingangsspannung (Freq.)	85 – 265 VAC (50±3 Hz oder 60±3 Hz)
Ausgangsspannung	400 V (+/- 5% Brummspannung)
Ausgangsleistung	3,6 kW @ 230 VAC
Schaltfrequenz	100 kHz
Wirkungsgrad @ 50% Last, VAC = 230V	≥ 98,5%
Kühlung	Gebälse, kleiner Lüfter
Topologie	Totem Pole
HF-Schalter(Q2, Q4)	4. Gen SiC MOSFET SCT4045DR (TO-247-4L)
LF-Schalter (Q1, Q3)	Si-SJ-MOSFET R6076ENZ4
Flyback-Schaltregler	BM2P101FK-LBZ
Formfaktor	233 x 89 x ca. 40/45 mm

**Bild 1:** Das Totem-Pole-PFC-Evaluierungskit nebst Spezifikationen.

gehören: Ermittlung der richtigen Einstellungen für Länge von Sperrzeiten und Totzeit, sicheres automatisches Hochfahren mit der Netzeingangsspannung, sanfter Start rund um den AC-Nulldurchgang zur Minimierung von Stromspitzen. Vorab werden die wesentlichen Merkmale der vierten SiC-MOSFET-Generation skizziert.

## Das Besondere an den SiC-MOSFETs der vierten Generation

Diese neuen SiC-MOSFETs haben im Vergleich zu den SiC-MOSFETs der dritten Generation einen reduzierten Durchlasswiderstand pro Flächeneinheit um 40 %. Diese Reduzierung wird ohne Einbußen bei der Kurzschlussfestigkeit erreicht. Das macht die neuen Bauelemente sehr leistungsfähig und robust. Darüber hinaus sind die Schaltverluste in den SiC-MOSFETs der vierten Generation aufgrund einer drastisch reduzierten parasitären Gate-Drain-Kapazität  $C_{GD}$  um 50 % geringer als in der dritten Halbleiter-Generation. Diese Verbesserung führt zu einem höheren Umwandlungswirkungsgrad.

Im Gegensatz zur 18-V-Gate-Source-Spannung  $V_{GS}$ , die bei den SiC-MOSFETs der dritten Generation und früheren Versionen erforderlich war, unterstützen die neuen Produkte für die Ansteuerung des Gates einen flexibleren

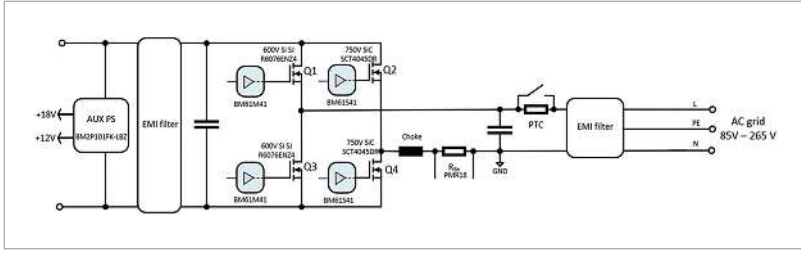


Bild 2: Schaltplan der Totem-Pole-PFC.

Bild: ROHM

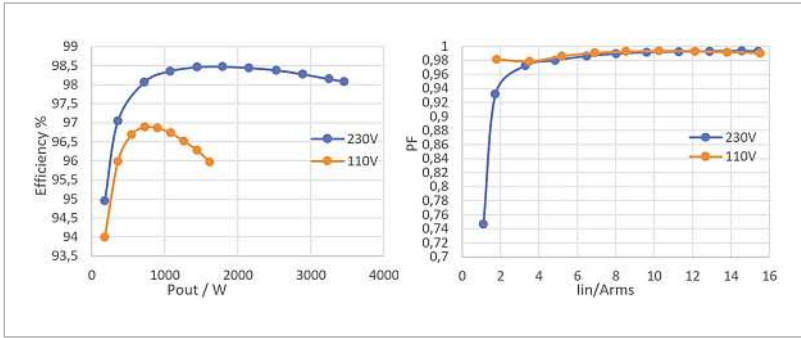


Bild 3: Gemessener Wirkungsgrad (links) und Leistungsfaktor (rechts).

Bild: ROHM

Gate-Spannungsbereich von 15 bis 18 V. Darüber hinaus können die SiC-MOSFETs der vierten Generation aufgrund der geringeren parasitären Kapazität  $C_{GD}$  und damit des kleineren Verhältnisses von  $C_{GS}$  zu  $C_{GD}$  mit nur 0 V sicher ausgeschaltet werden. Dabei kommt es nicht zu parasitärem Einschalten, das durch ein hohes  $dV_{DS}/dt$  verursacht werden kann. Die Gate-Treiberschaltung kann somit vereinfacht werden, da die Notwendigkeit einer negativen Vorspannung für das Ausschalten entfällt.

Die Tabelle auf der letzten Seite dieses Technologieberichts zeigt die 750-V- und 1200-V-SiC-MOSFETs der vierten Generation. Diese Bauelemente sind in den Gehäusevarianten TO-247N und TO-247-4L zur Durchsteck-Montage sowie in der SMD-Version TO-263-7L erhältlich. Die Automotive-Qualifizierung ist für alle mit einem Stern (\*) gekennzeichneten Bauelemente geplant.

### Das Einstellen der Aустattungs- und Totzeit

Bei der Einstellung der PWM-Steuerung müssen die mit der AC-Nulldurchgangserkennung verbundenen Ungenauigkeiten sowie die parasitären Elemente der MOSFETs berücksichtigt werden. Im TP-PFC-EVK wurde um den AC-Nulldurchgang eine Sperrzeit von 50  $\mu s$  eingefügt. Um ein Durchschießen zu verhindern, werden die vier Schalter kurz vor dem Nulldurchgang ausgeschaltet, entweder von positiv nach negativ oder von negativ nach positiv. Während dieser Zeit ist der Regelkreis „eingefroren“. Auf diese Weise wird verhindert, dass der Integrator-Aufbau eine unerwünschte hohe Stromspitze verursacht, indem er beim nächsten Einschalten einen großen PWM-Impuls anlegt. Eine kurze Sperrzeit ermöglicht eine bessere Kontrollierbarkeit der Stromkurve, einen geringeren Klirrfaktor und einen relativ höheren Wirkungsgrad. Die minimale Sperrzeit wird jedoch durch die Abtastrate des Reglers und die Netzfrequenz begrenzt.

Bild: ROHM

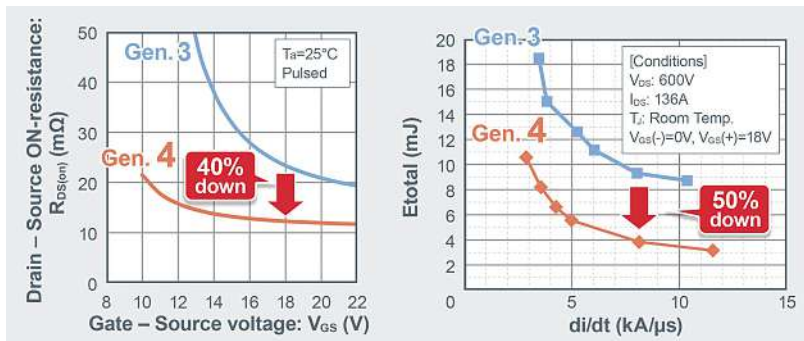


Bild 4: Verringerung des Durchlasswiderstands und der Schaltverluste in den SiC-MOSFETs der vierten Generation im Vergleich zur dritten Generation.

Zusätzlich zur Sperrzeit um den AC-Nulldurchgang muss eine geeignete Totzeit zwischen den Steuerbefehlen der komplementären SiC-MOSFETs eingestellt werden. Laut Datenblatt des Gate-Treibers BM61S41 beträgt die Laufzeitverzögerung maximal 65 ns. Addiert man weitere 10 ns für die PWM-Ausbreitungsfehlanspassung hinzu, ergibt sich eine absolute Mindesttotzeit von 75 ns. Um die Aus- und Einschaltverzögerungen der SiC-MOSFETs zu berücksichtigen und einen gewissen Spielraum zu haben, wurde die Totzeit für diese Baugruppe auf 150 ns festgelegt. Natürlich muss sie für jedes Design bewertet werden. Sie wird auch durch die Auswahl der Ein- und Ausschalt-Gate-Widerstände beeinflusst.

### Automatischer Start an einem universellen Netzeingang

Das TP-PFC-Evaluierungskit ist mit einem PTC-Widerstand für die Vorladung in Kombination mit einem Bypass-Relais ausgestattet. Beim Einschalten werden das Relais ausgeschaltet und die Kondensatoren durch den PTC bis zu einem sicheren Schwellenwert vorgeladen, bevor das Relais eingeschaltet und der Umrichter in Betrieb genommen wird. Dadurch wird eine Beschädigung des Stromkreises durch hohe Einschaltströme verhindert. Das Evaluierungskit wurde über den gesamten Eingangsbereich (85 bis 265  $V_{AC}$ ) getestet und hat sich für einen automatischen Start selbst bei 265  $V_{AC}$  als geeignet erwiesen. Durch den implementierten Second Order Generalized

Bild: ROHM

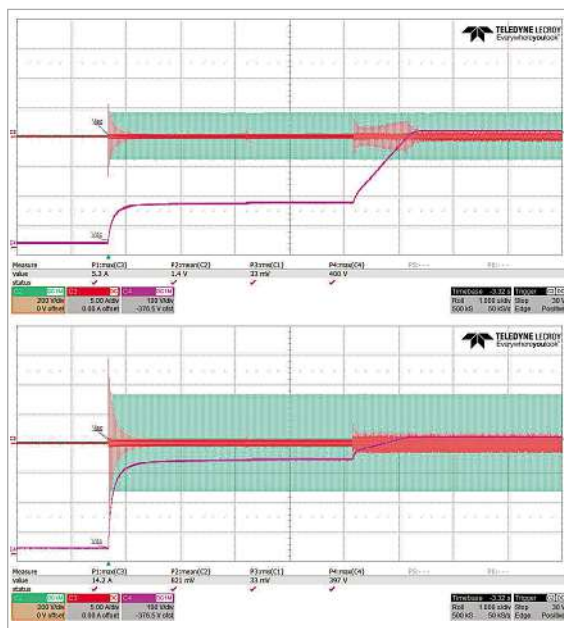
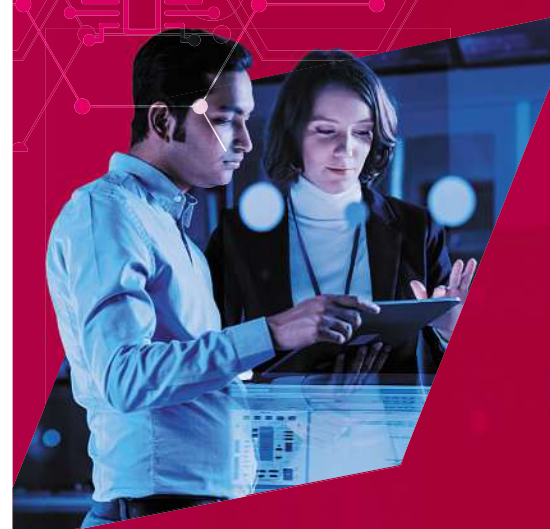


Bild 5: Automatischer PFC-Start in Abhängigkeit von der Wechselspannung am Eingang (oben: bei 110 VAC, 400 VDC und unten bei 230 VAC, 400 VDC).

# DESTINATION IOT



**Intelligente  
Lösungen für das  
Design der Zukunft**

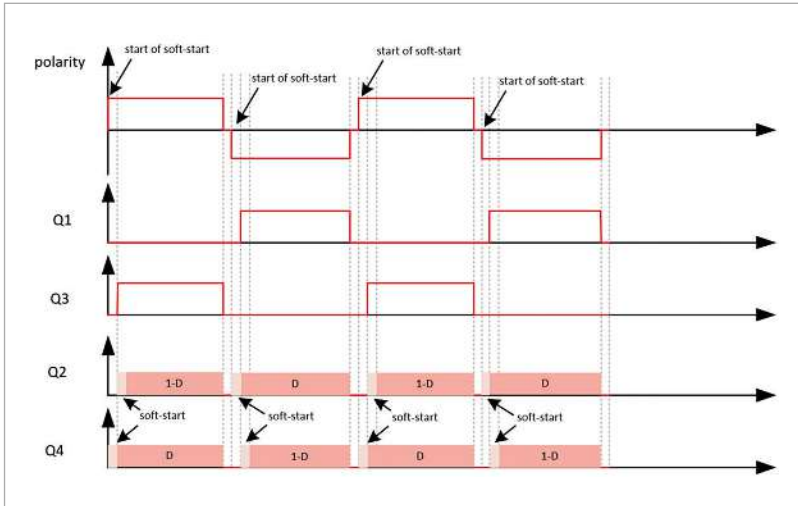
-  Sensorik
-  Konnektivität
-  Sicherheit

[de.rs-online.com](http://de.rs-online.com)



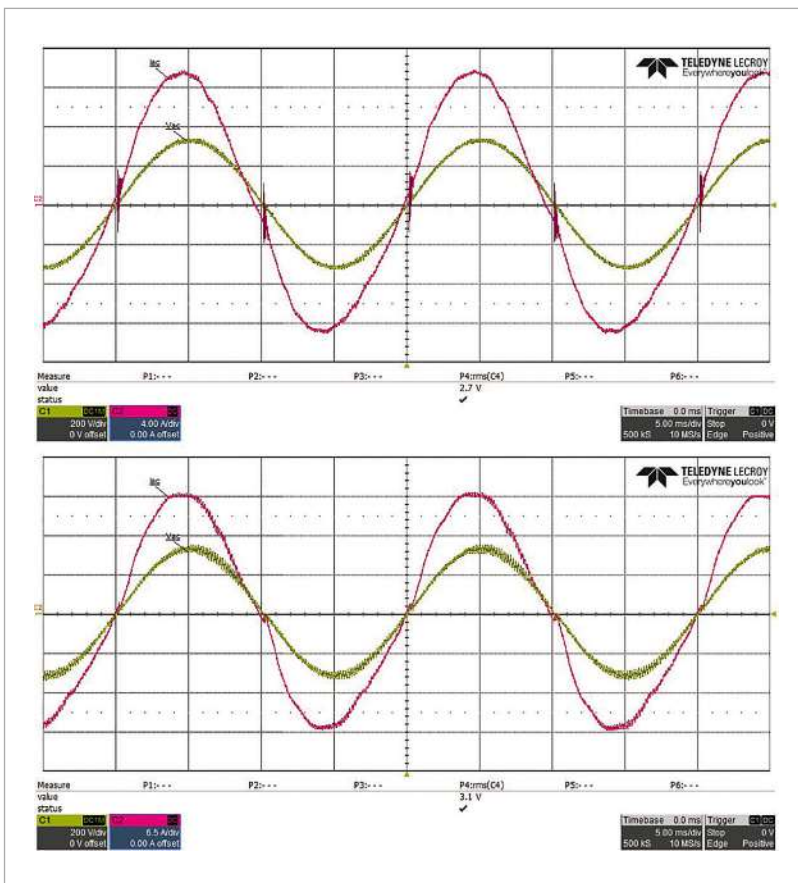
**Mehr erfahren**

Bild: ROHM



**Bild 6:** MOSFET-Soft-Start in der Totem Pole PFC.

Bild: ROHM



**Bild 7:** Eingangsstromspitzen beim AC-Nulldurchgang ohne Soft-Start-Verfahren (links) mit und Soft-Start-Verfahren (rot: IAC und grün VAC).

Integrator - Frequency Locked Loop (SOGI-FLL) kann dieses EVK auch Drifts in der Netzfrequenz von  $50 \pm 3$  Hz oder  $60 \pm 3$  Hz verfolgen und erkennen.

### Maßnahmen zur Minimierung von Stromspitzen nach AC-Nulldurchgang

Bei der TP-PFC-Topologie ist die Schaltfolge der MOSFETs von entscheidender Bedeutung. Werden die Herausforde-



Part No.	RDS(on)_typ (mΩ)	ID (A)	Package	Part No.	RDS(on)_typ (mΩ)	ID (A)	Package
SCT4045DE (*)	45	34	 TO-247N	SCT4062KE (*)	62	26	 TO-247N
SCT4026DE (*)	26	56		SCT4036KE (*)	36	43	
SCT4013DE	13	105		SCT4018KE	18	81	
SCT4045DR (*)	45	34	 TO-247-4L	SCT4062KR (*)	62	26	 TO-247-4L
SCT4026DR (*)	26	56		SCT4036KR (*)	36	43	
SCT4013DR	13	105		SCT4018KR	18	81	
SCT4045DW7 (*)	45	31	 TO-263-7L	SCT4062KW7 (*)	62	24	 TO-263-7L
SCT4026DW7 (*)	26	51		SCT4036KW7	36	40	
SCT4013DW7	13	98		SCT4018KW7	18	75	

Tabelle: Charakteristika der SiC-MOSFETs der 4. Generation (links 750-V-MOSFET, rechts 1.200-V-MOSFET), (x)=AEC-Q101 (Automotive Grade)

Bild: ROHM



Bild: ROHM

VERFASST VON  
**Abdelmouneim Charkaoui**

Application Engineer  
ROHM

rungen bei der Steuerung eines TP-PFC nicht verstanden und beachtet, kann dies zu unsachgemäßem Betrieb, unerwarteten EMI-Problemen oder sogar zum Ausfall der Leistungskomponenten führen. Das häufigste Problem bei dieser Topologie ist das Auftreten von Stromspitzen im AC-Nulldurchgang. Diese werden hauptsächlich durch den parasitären Ausgangskondensator  $C_{OSS}$  und die damit verbundene Sperrverzögerungsladung  $Q_r$  der netzfrequenzgeschalteten MOSFETs verursacht, die nur beim AC-Nulldurchgang ihren Zustand ändern.

vollständig in umgekehrter Richtung und die  $V_{DS}$  von Q3 sinkt auf Masse. Auf diese Weise wird die positive Stromspitze eliminiert, die durch die langsame Erholung von Q1 und die hohe  $V_{DS}$ -Spannung am MOSFET Q3 verursacht wird.

Da die Wechsellspannung direkt nach dem Nulldurchgang sehr niedrig und die Induktivität bereits auf die DC-Busspannung aufgeladen ist, fließt ein großer negativer Rückstrom durch die Induktivität zurück zum Netz. Dies führt zu einer hohen negativen Stromspitze beim Einschalten des Synchron-MOSFETs Q2, selbst bei einem Tastverhältnis von 1-D. Um diese negative Spitze auf nahezu Null zu reduzieren, wird der Soft-Start auch auf den Synchron-MOSFET Q2 angewandt, sobald Q4 den vollen D-Zyklus erreicht. Gleichzeitig mit dem Soft-Start von Q2 muss Q3 eingeschaltet werden, um den Strompfad zurück zum Netz bereitzustellen. Eine hohe negative Stromspitze tritt auch beim AC-Nulldurchgang auf, wenn MOSFET Q3 zu spät eingeschaltet wird, nachdem der Soft-Start von Q2 abgeschlossen ist.



Bild: ROHM

VERFASST VON  
**Christian Felgemacher**

Department Manager  
Power Systems  
ROHM

### Funktionsweise und Nutzen des Soft-Starts der MOSFETs

Im TP-PFC-Evaluierungskit von ROHM wird nach jedem AC-Nulldurchgang eine Soft-Start-Sequenz implementiert. Diese beinhaltet eine rampenförmige Erhöhung des Tastverhältnisses der Hochfrequenz-SiC-MOSFETs (Q2, Q4) und eine Feinsteuerung für das Einschalten der Niederfrequenz-Si-SJ-MOSFETs. Durch die Implementierung des Soft-Starts wurden die Stromspitzen deutlich reduziert. Die Schaltsequenz des implementierten MOSFET zeigt Bild 6.

### Interessante Ergebnisse der Evaluierung

Bild 7 zeigt den Verlauf des Eingangsstroms um den AC-Nulldurchgang mit und ohne Soft-Start. Der Term 1-D ist beim ersten Einschalten von Q2 sehr klein. Er wird noch kleiner und tendiert gegen Null, wenn er mit den Soft-Start-Faktoren multipliziert wird. Je nach verwendetem Gate-Treiber kann Q2 einige PWM-Zyklen lang eingeschaltet bleiben, bis der Term 1-D größer wird als die minimale PWM-Einschaltzeit des Gate-Treibers (Bild 6). Dies führt bei jedem AC-Nulldurchgang zu einer verbleibenden, aber sehr kleinen positiven und negativen Stromspitze.

Die MOSFETs Q2 und Q4 sind komplementär geschaltet. Während des negativen Halbzyklus ist MOSFET Q2 der aktive Schalter, der durch das berechnete Tastverhältnis D gesteuert wird. Während dieser Zeit arbeitet MOSFET Q4 im synchronen Gleichrichtungsmodus mit einem Tastverhältnis von 1-D. Zu beachten ist, dass MOSFET Q1 nur mit der Netzfrequenz geschaltet wird und während des gesamten negativen Halbzyklus eingeschaltet bleibt, um einen niederohmigen Rückkanal zum Netz zu schaffen. Während des positiven Halbzyklus kehrt sich der Betrieb wieder um, und die High-Side- sowie Low-Side-MOSFETs der einzelnen Zweige tauschen ihre Funktion.

Die im vorigen Abschnitt erläuterte Steuerungssequenz der MOSFETs wurde im 3,6-kW-TP-PFC-EVK implementiert und getestet. Die Testergebnisse zeigen, dass ohne diese Steuerungsmethode sowohl negative als auch positive Stromspitzen vorhanden sind. Die Anwendung des Soft-Starts auf aktive als auch auf synchrone MOSFETs sowie das Einschalten der Niederfrequenz-MOSFETs zum richtigen Zeitpunkt hat zu besseren Stromkurven und einem wesentlich geringeren Klirrfaktor geführt. (KU)

Wenn die Eingangsspannung unmittelbar nach dem Nulldurchgang des Wechselstroms ihre Polarität von einem negativen zu einem positiven Halbzyklus ändert, setzt die Soft-Start-Sequenz von MOSFET Q4 ein. Diese Sequenz besteht darin, dass die Impulsbreite um einen definierten Faktor erhöht wird, sodass die Einschaltzeit dieses MOSFETs schrittweise von 0% auf 100% des berechneten D-Zyklus steigt. Dabei erholt sich MOSFET Q1



Bild: ROHM

VERFASST VON  
**Felipe Filsecker**

Application Engineer  
ROHM



Bild: ROHM

VERFASST VON  
**Jochen Hüskens**

Senior Application  
Marketing Manager  
ROHM